

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-317520
(43)Date of publication of application : 16.11.1999

(51)Int.Cl. H01L 29/78
H01L 21/8234
H01L 27/088

(21)Application number : 10-123144
(22)Date of filing : 06.05.1998

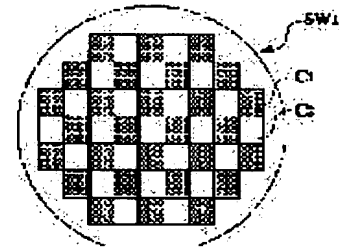
(71)Applicant : HITACHI LTD
(72)Inventor : HIRAIWA ATSUSHI
SUZUKI NORIO
KANDA TAKAYUKI
SUKO KAZUYUKI
TAKAHASHI KENJI

(54) MANUFACTURE OF SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND INSPECTION METHOD OF THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce inspection cost of a gate insulating film which constitutes a MISFET of a semiconductor integrated circuit device.

SOLUTION: Semiconductor chips C1, which are respectively provided with a MOS capacitor constituted of a silicon oxide film of the same thickness as that of a thick gate insulating film, and semiconductor chips C2, which are respectively provided with a MOS capacitor constituted of a silicon oxide film of the same thickness as that of a thin gate insulating film, are arranged within one sheet of a semiconductor wafer SW1. The evaluation on the reliability of the two kinds of the thicknesses for the gate insulating films is made with one sheet of the wafer SW1.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-317520

(43)公開日 平成11年(1999)11月16日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 L 29/78
21/8234
27/088

H 0 1 L 29/78
27/08

3 0 1 T
1 0 2 C

審査請求 未請求 請求項の数8 O L (全 10 頁)

(21)出願番号 特願平10-123144

(22)出願日 平成10年(1998)5月6日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 平岩 篤

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 鈴木 範夫

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 神田 隆行

東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(74)代理人 弁理士 筒井 大和

最終頁に続く

(54)【発明の名称】 半導体集積回路装置の製造方法および検査方法

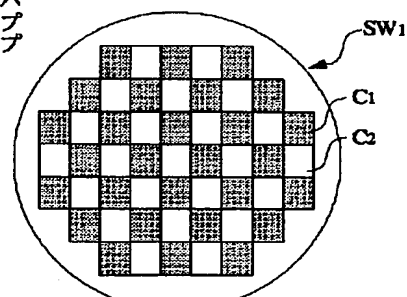
(57)【要約】

【課題】 半導体集積回路装置が有するMISFETを構成するゲート絶縁膜の検査費用の低減を図ることのできる技術を提供する。

【解決手段】 1枚の半導体ウエハSW₁内に、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜によってMOSキャパシタが構成された半導体チップC₁と、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜によってMOSキャパシタが構成された半導体チップC₂とが配置されており、2種類の厚さのゲート絶縁膜の信頼度評価を1枚の半導体ウエハSW₁において行なう。

図 1

SW₁: 半導体ウエハ
C₁: 半導体チップ
C₂: 半導体チップ



【特許請求の範囲】

【請求項 1】 M I S F E T の相対的に厚いゲート絶縁膜と同じ厚さの絶縁膜を有する第 1 の M I S キャパシタが形成された第 1 の半導体チップと、他の M I S F E T の相対的に薄いゲート絶縁膜と同じ厚さの絶縁膜を有する第 2 の M I S キャパシタが形成された第 2 の半導体チップとが配置された半導体ウエハを用いて、前記第 1 の M I S キャパシタおよび前記第 2 の M I S キャパシタをそれぞれ検査することにより、前記相対的に厚いゲート絶縁膜および前記相対的に薄いゲート絶縁膜の品質管理を行なう工程を含むことを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記第 1 の半導体チップと前記第 2 の半導体チップとが、互いに交互に前記半導体ウエハ上に配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 3】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記第 1 の半導体チップまたは前記第 2 の半導体チップのどちらか一方が、前記半導体ウエハ上に多く配置されていることを特徴とする半導体集積回路装置の製造方法。

【請求項 4】 請求項 1、2 または 3 記載の半導体集積回路装置の製造方法であって、前記第 1 の M I S キャパシタの電極を構成する上部導電膜と半導体基板との間の電圧または電流、および前記第 2 の M I S キャパシタを構成する上部導電膜と前記半導体基板との間の電圧または電流を測定することによって、前記第 1 の M I S キャパシタおよび前記第 2 の M I S キャパシタをそれぞれ検査することを特徴とする半導体集積回路装置の製造方法。

【請求項 5】 請求項 1、2 または 3 記載の半導体集積回路装置の製造方法であって、前記相対的に厚いゲート絶縁膜と同じ厚さの絶縁膜および前記相対的に薄いゲート絶縁膜と同じ厚さの絶縁膜は、酸化シリコン膜、または窒化シリコン膜と酸化シリコン膜との積層膜であることを特徴とする半導体集積回路装置の製造方法。

【請求項 6】 請求項 1 記載の半導体集積回路装置の製造方法であって、半導体基板に 1 回目の熱酸化処理を施すことによって前記半導体基板の表面にダミー絶縁膜を形成した後、前記第 1 の半導体チップの前記ダミー絶縁膜の表面をレジストで覆い、次いで、前記レジストをマスクにして前記第 2 の半導体チップの前記ダミー絶縁膜を除去し、続いて、前記レジストを除去した後、前記半導体基板に 2 回目の熱酸化処理を施すことによって、前記第 1 の半導体チップに前記相対的に厚いゲート絶縁膜と同じ厚さの絶縁膜が形成され、前記第 2 の半導体チップに前記相対的に薄いゲート絶縁膜と同じ厚さの絶縁膜が形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 7】 請求項 1 記載の半導体集積回路装置の製造方法であって、前記第 1 の半導体チップの半導体基板の表面をレジストで覆った後、前記第 2 の半導体チップの前記半導体基板の表面に窒素を導入し、次いで、前記レジストを除去した後、前記半導体基板に熱酸化処理を施すことによって、前記第 1 の半導体チップに前記相対的に厚いゲート絶縁膜と同じ厚さの絶縁膜が形成され、前記第 2 の半導体チップに前記相対的に薄いゲート絶縁膜と同じ厚さの絶縁膜が形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 8】 M I S F E T の相対的に厚いゲート絶縁膜と同じ厚さの絶縁膜を有する第 1 の M I S キャパシタが形成された第 1 の半導体チップと、他の M I S F E T の相対的に薄いゲート絶縁膜と同じ厚さの絶縁膜を有する第 2 の M I S キャパシタが形成された第 2 の半導体チップとが配置された半導体ウエハを用いて、前記第 1 の M I S キャパシタおよび前記第 2 の M I S キャパシタをそれぞれ検査することにより、前記相対的に厚いゲート絶縁膜および前記相対的に薄いゲート絶縁膜の品質管理を行なうことを特徴とする検査方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の製造方法および検査技術に関し、特に、2 種類の厚さのゲート絶縁膜をそれぞれ有する M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) が設けられた半導体集積回路装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】大規模集積回路 (L S I ; Large Scale Integrated Circuit) を構成する M I S F E T においては、内部回路と入出力回路との電源電圧が異なる場合がある。たとえば、記憶保持動作が必要な随時書き込み読み出し型記憶装置 (D R A M ; Dynamic Random Access Memory) では、データ保持時間を長くするために、メモリセルアレイ内の M I S F E T には周辺回路の M I S F E T よりも高い電圧が付加される。また、マイコン・ロジック L S I では、消費電力低減を図るために、内部回路の電源電圧は入出力回路の電源電圧よりも低く設定される。

【0003】ところで、M I S F E T の絶縁破壊を防止するためには、M I S F E T を構成するゲート絶縁膜に加わる電界強度を 4 MV/cm 程度に留めておく必要がある。このため、ゲート絶縁膜を 1 種類しか形成しない場合は、その厚さは高電源電圧部の M I S F E T に要求される値に設計されることになる。しかし、この場合、低電源電圧部では電界強度が弱くなって M I S F E T の駆動能力が低下し、L S I の処理速度が低下するという問題が生じてしまう。

【0004】そこで、低電源電圧部の M I S F E T のゲ

ート絶縁膜の厚さを高電源電圧部のMISFETのゲート絶縁膜の厚さよりも薄くする、すなわち、厚さの異なる2種類のゲート絶縁膜を用いることによって、低電源電圧部のMISFETおよび高電源電圧部のMISFETのゲート絶縁膜の信頼度を確保すると同時に、それぞれの動作特性の最適化が行なわれている。

【0005】次に、厚さの異なる2種類のゲート絶縁膜の形成方法を図8～図11に示す半導体基板の要部断面図を用いて説明する。

【0006】まず、半導体基板7の主面上の素子間分離領域にLOCOS(Local Oxidation of Silicon)酸化膜8を形成した後(図8)、半導体基板7に1回目の熱酸化処理を施して半導体基板7の表面に第1の酸化シリコン膜9を形成し(図9)、次いで、フォトリソパターン10をマスクにして、薄いゲート絶縁膜が形成される領域の第1の酸化シリコン膜9をウエットエッチングによって除去する(図10)。次に、フォトリソパターン10を除去した後に、再び、半導体基板7に2回目の熱酸化処理を施して半導体基板7の表面に第2の酸化シリコン膜11a、11bが形成される(図11)。

【0007】すなわち、厚いゲート絶縁膜は1回目の熱酸化処理および2回目の熱酸化処理で形成される第2の酸化シリコン膜11aによって構成され、薄いゲート絶縁膜は2回目の熱酸化処理で形成される第2の酸化シリコン膜11bによって構成される。

【0008】なお、薄いゲート絶縁膜が設けられたMISFETと厚いゲート絶縁膜が設けられたMISFETとを有する半導体集積回路装置の例としては、たとえば、日経マグロウヒル社発行「日経マイクロデバイス」1996年3月号、P54～P59に記載されているDRAM混載ロジックがある。

【0009】ところで、異なる厚さの2種類のゲート絶縁膜の信頼度を検査する方法としては、図12に示すように、まず、第2の酸化シリコン膜11aによって構成される厚いゲート絶縁膜および第2の酸化シリコン膜11bによって構成される薄いゲート絶縁膜が形成された半導体ウエハを抜き取った後、たとえば多結晶シリコン膜によって構成される電極12a、12bによって、厚いゲート絶縁膜が形成された領域および薄いゲート絶縁膜が形成された領域を各々被覆して試験素子(MOS(Metal Oxide Semiconductor)キャパシタ)を作製する。次いで、厚いゲート絶縁膜が形成された領域を被覆した電極12aと半導体基板7との間、または薄いゲート絶縁膜が形成された領域を被覆した電極12bと半導体基板7との間に電圧または電流を印加して各々の電気的絶縁性を試験する方法が採用されている。

【0010】しかし、上記検査方法では、ゲート絶縁膜の総面積が小さいと欠陥密度が大きくなり、不良を検出することができない。たとえば、DRAMでは

薄いゲート絶縁膜が形成されている領域の総面積は小さく、また、マイコン・ロジックLSIでは厚いゲート絶縁膜が形成されている領域の総面積は小さいため、これらのゲート絶縁膜の不良の検出が困難であるという問題が生じている。

【0011】そこで、1枚の半導体ウエハ上に厚いゲート絶縁膜と同じ厚さの酸化シリコン膜のみを形成し、他の1枚の半導体ウエハ上に薄いゲート絶縁膜と同じ厚さの酸化シリコン膜のみを形成して、厚いゲート絶縁膜および薄いゲート絶縁膜のそれぞれの信頼度を、別々の半導体ウエハに形成された上記酸化シリコン膜によって検査する方法が、本発明者によって検討された。

【0012】次に、厚さの異なる2種類のゲート絶縁膜の上記検査方法を図13～図19を用いて説明する。図13～図16は、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜を検査する大面積のMOSキャパシタの製造方法を示す半導体基板の要部断面図であり、図17～図19は、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜を検査する大面積のMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【0013】厚いゲート絶縁膜と同じ厚さの酸化シリコン膜を検査する大面積のMOSキャパシタの製造方法は、まず、前記図8および前記図9に示したように、半導体基板7の主面上の素子間分離領域にLOCOS酸化膜8を形成した後、半導体基板7に1回目の熱酸化処理を施して半導体基板7の表面に第1の酸化シリコン膜9を形成する。次に、検査に用いる半導体ウエハを抜き取り、フォトリソパターン13を半導体基板7の全面に塗布した後(図13)、フォトリソパターン13の形成を行なうことなく、フォトリソパターン13を除去する(図14)。次に、半導体基板7の表面を洗浄した後、再び、半導体基板7に2回目の熱酸化処理を施して、すでに第1の酸化シリコン膜9が形成されている半導体基板7の表面に第2の酸化シリコン膜11aを形成し(図15)、次いで、たとえば、多結晶シリコン膜(図示せず)によって構成される電極14aを形成することによって、MOSキャパシタを完成させる(図16)。従って、この第2の酸化シリコン膜11aは厚いゲート絶縁膜と同じ厚さを有しており、半導体ウエハ全体に形成されている。

【0014】上記電極14aの形状は、この第2の酸化シリコン膜11aの総面積が所望の値になるように設計される。たとえば、DRAMの場合は、メモリセルアレイの一部または全体を被覆することによって第2の酸化シリコン膜11aの総面積を大きく確保している。

【0015】次に、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜を検査する大面積のMOSキャパシタの製造方法は、まず、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜を検査する大面積のMOSキャパシタの前記製造方法と同様に、半導体基板7の主面上の素子間分離領域

にLOCOS酸化膜8を形成した後、半導体基板7に1回目の熱酸化処理を施して半導体基板7の表面に第1の酸化シリコン膜9を形成する。次に、検査に用いる半導体ウエハを抜き取り、フォトリソ13を半導体基板7の全面に塗布した後（前記図13）、フォトリソ13のパターンの形成を行なうことなく、フォトリソ13を除去する（前記図14）。この後、上記第1の酸化シリコン膜9をウエットエッチングによって除去する（図17）。次に、半導体基板7の表面を洗浄した後、再び、半導体基板7に2回目の熱酸化処理を施して、半導体基板7の表面に第2の酸化シリコン膜11bを形成し（図18）、次いで、電極14bを形成することによって、MOSキャパシタを完成させる（図19）。従って、この第2の酸化シリコン膜11bは薄いゲート絶縁膜と同じ厚さを有しており、半導体ウエハ全体に形成されている。

【0016】

【発明が解決しようとする課題】しかしながら、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜からなるMOSキャパシタと、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜からなるMOSキャパシタとを別々の半導体ウエハ上に形成することによる前記MOSキャパシタの形成方法では、次のような問題点が生じることを本発明者は見いだした。

【0017】すなわち、2種類のMOSキャパシタを2枚の異なる半導体ウエハ上にそれぞれ形成する必要があるため、検査に必要な半導体ウエハの枚数が増加してしまう。さらに、前記図17に示した製造工程では、フォトリソパターンが残存していない半導体基板7にウエットエッチングを施すことによって、第1の酸化シリコン膜9を除去しているが、実際の製品の製造工程では、前記図10に示したように、フォトリソパターン10が形成された半導体基板7にウエットエッチングを施すことにより第1の酸化シリコン膜9を除去しており、実際の製品の製造過程を完全に検査することができない。

【0018】本発明の目的は、半導体集積回路装置が有するMISFETを構成するゲート絶縁膜の検査費用の低減を図ることのできる技術を提供することにある。

【0019】本発明の他の目的は、前記ゲート絶縁膜の製造過程における不良ポテンシャルを完全に網羅した検査を行なうことのできる技術を提供することにある。

【0020】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0021】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。すなわち、

(1) 本発明の半導体集積回路装置の製造方法は、MISFETの相対的に厚いゲート絶縁膜と同じ厚さの酸化シリコン膜によって構成される第1のMOSキャパシタが形成された第1の半導体チップと、他のMISFETの相対的に薄いゲート絶縁膜と同じ厚さの酸化シリコン膜によって構成される第2のMOSキャパシタが形成された第2の半導体チップとが配置された半導体ウエハを用いて、上記第1のMOSキャパシタおよび上記第2のMOSキャパシタをそれぞれ検査することにより、相対的に厚いゲート絶縁膜および相対的に薄いゲート絶縁膜の品質管理を行なう工程を含むものである。

【0022】(2) また、本発明の半導体集積回路装置の製造方法は、前記(1)の半導体集積回路装置の製造方法において、まず、半導体基板に1回目の熱酸化処理を施すことによって半導体基板の表面にダミー酸化シリコン膜を形成した後、第1の半導体チップのダミー酸化シリコン膜の表面をレジストで覆い、次いで、このレジストをマスクにして第2の半導体チップのダミー酸化シリコン膜を除去し、続いて、上記レジストを除去した後、半導体基板に2回目の熱酸化処理を施すことによって、第1の半導体チップの半導体基板の表面に前記相対的に厚いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成され、前記第2の半導体チップの半導体基板の表面に前記相対的に薄いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成されるものである。

【0023】上記した手段によれば、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜からなる面積の広い第1のMOSキャパシタによって構成される第1の半導体チップと、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜からなる面積の広い第2のMOSキャパシタによって構成される第2の半導体チップとを1枚の半導体ウエハ上に形成することができるので、検査に用いる半導体ウエハの枚数を必要最小限に抑えて、不良を容易に検出することができる。また、製品の製造工程と同じ製造工程で形成された厚いゲート絶縁膜と同じ厚さの酸化シリコン膜からなる第1のMOSキャパシタおよび薄いゲート絶縁膜と同じ厚さの酸化シリコン膜からなる第2のMOSキャパシタによって、厚いゲート絶縁膜および薄いゲート絶縁膜の信頼度を検査することができるので、製造過程における不良ポテンシャルの全てを調べることができる。

【0024】
【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。
【0025】なお、実施の形態を説明するための全図において同一機能を有するものは同一の符号を付し、その繰り返しの説明は省略する。
【0026】図1および図2は、本発明の一実施の形態である厚さの異なる2種類のゲート絶縁膜の信頼度の検査方法を説明するための半導体ウエハSW1、SW2上における半導体チップの配置を示している。なお、半導

【0027】図3は、図1および図2の半導体ウエハSW1、SW2における半導体チップの配置を示している。なお、半導

【0028】図4は、図1および図2の半導体ウエハSW1、SW2における半導体チップの配置を示している。なお、半導

【0029】図5は、図1および図2の半導体ウエハSW1、SW2における半導体チップの配置を示している。なお、半導

体ウエハSW₁、SW₂は、検査専用のウエハであって製造を形成するためのウエハとは異なるものであるが、製品を形成するためのウエハと一緒にウエハプロセスが施されるものである。すなわち、製品製造ロット内に検査用のウエハとして1枚または数枚入れてあるものである。

【0027】1枚の半導体ウエハSW₁内に、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜のみが半導体基板の表面に形成された半導体チップC₁と、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜のみが半導体基板の表面に形成された半導体チップC₂とが配置されており、半導体チップC₁および半導体チップC₂は、それぞれ大面積の酸化シリコン膜の領域を有している。

【0028】たとえば、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成された半導体チップC₁および薄いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成された半導体チップC₂を、多結晶シリコン膜によって構成される電極によって各々被覆してMOSキャパシタを製作し、次いで、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成された半導体チップC₁を被覆した電極と半導体基板との間、または薄いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成された半導体チップC₂を被覆した電極と半導体基板との間に電圧または電流を印加して各々の電気的絶縁性を調べることによって、厚いゲート絶縁膜および薄いゲート絶縁膜の信頼度が評価される。

【0029】図1に示した半導体ウエハSW₁では、半導体チップC₁および半導体チップC₂は、お互いが交互に配置されており、半導体ウエハSW₁の全領域で、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜および薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を調べることができる。

【0030】また、図2に示した半導体ウエハSW₂では、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜において、信頼度評価の感度を高くするために、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成された半導体チップC₂よりも厚いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成された半導体チップC₁を多く配置している。

【0031】なお、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度の精度を高める必要がある場合は、前記図2に示した半導体チップC₁と半導体チップC₂の配置を逆にして、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成された半導体チップC₁よりも薄いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成された半導体チップC₂を多く配置することができる。

【0032】次に、本実施の形態である厚いゲート絶縁膜と同じ厚さの酸化シリコン膜からなるMOSキャパシタおよび薄いゲート絶縁膜と同じ厚さの酸化シリコン膜からなるMOSキャパシタの製造方法を図3～図7に示

した半導体基板の要部断面図を用いて説明する。(a)は、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜からなるMOSキャパシタ(半導体チップC₁)であり、

(b)は、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜からなるMOSキャパシタ(半導体チップC₂)である。

【0033】まず、図3に示すように、半導体基板1の主面上の素子間分離領域にLOCOS酸化膜2を形成した後、図4に示すように、半導体基板1に1回目の熱酸化処理を施して半導体基板1の表面に第1の酸化シリコン膜3を形成する。

【0034】次に、半導体基板1の全面にポジ型フォトリソ(図示せず)を塗布した後、厚いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成される半導体チップC₁のみに半導体チップ単位の全面露光を行ない、次いで、現像処理を行なう。本実施の形態では、ポジ型フォトリソを用いているので、現像処理後は、露光した半導体チップC₁にフォトリソパターン4が形成される。

【0035】従って、図5に示すように、フォトリソパターン4が形成された半導体チップC₁と、フォトリソパターン4が形成されていない半導体チップC₂とが半導体ウエハSW₁、SW₂上に配置される。

【0036】次に、フォトリソパターン4をマスクにして、薄いゲート絶縁膜と同じ厚さの酸化シリコン膜が形成される半導体チップC₂の第1の酸化シリコン膜3をウエットエッチングによって除去する。このウエットエッチングは、たとえばフッ酸とフッ化アンモニウムとの混合水溶液を用いて行なわれる。

【0037】次に、図6に示すように、フォトリソパターン4を除去した後、再び、半導体基板1に2回目の熱酸化処理を施すことによって半導体基板1の表面に第2の酸化シリコン膜5a、5bが形成される。

【0038】すなわち、半導体チップC₁に1回目の熱酸化処理および2回目の熱酸化処理によって厚いゲート絶縁膜と同じ厚さの第2の酸化シリコン膜5aが形成され、半導体チップC₂に2回目の熱酸化処理によって薄いゲート絶縁膜と同じ厚さの第2の酸化シリコン膜5bが形成される。

【0039】この後、図7に示すように、半導体基板1上に多結晶シリコン膜(図示せず)を堆積し、次いで、この多結晶シリコン膜をパターニングして電極6を形成することによって、本実施の形態の厚いゲート絶縁膜と同じ厚さの第2の酸化シリコン膜5aからなるMOSキャパシタおよび薄いゲート絶縁膜と同じ厚さの第2の酸化シリコン膜5bからなるMOSキャパシタが形成される。

【0040】このように、本実施の形態によれば、厚いゲート絶縁膜と同じ厚さの第2の酸化シリコン膜5aを有するMOSキャパシタによって構成される半導体チッ

ブC₁と、薄いゲート絶縁膜と同じ厚さの第2の酸化シリコン膜5bを有するMOSキャパシタによって構成される半導体チップC₂とを1枚の半導体ウエハSW₁、SW₂上に形成することができるので、厚さの違うゲート絶縁膜毎に検査用の半導体ウエハを複数枚用意する場合に比べて、検査に用いる半導体ウエハの枚数を大幅に低減でき、その枚数を必要最小限の検査ウエハ枚数で不良を容易に検出することができる。また、製品の製造工程と同じ製造工程で形成された厚い第2の酸化シリコン膜5aを有するMOSキャパシタおよび薄い第2の酸化シリコン膜5bを有するMOSキャパシタによって、厚いゲート絶縁膜および薄いゲート絶縁膜の信頼度をそれぞれ検査することができるので、製造過程における不良ポテンシャルの全てを調べることができる。

【0041】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0042】たとえば、前記実施の形態では、厚いゲート絶縁膜と薄いゲート絶縁膜は、半導体基板の表面に酸化シリコン膜を形成した後、薄いゲート絶縁膜が形成される領域の酸化シリコン膜を除去し、次いで、半導体基板に熱酸化処理を施すことによって、半導体基板の表面に厚いゲート絶縁膜および薄いゲート絶縁膜をそれぞれ形成したが、薄いゲート絶縁膜が形成される半導体基板の表面に酸化シリコン膜の成長を抑制する窒素を導入した後、半導体基板に熱酸化処理を施すことによって、半導体基板の表面に厚いゲート絶縁膜および薄いゲート絶縁膜を形成してもよい。

【0043】また、前記実施の形態では、素子分離にLOCOS法を用いたが、LOCOS法に代えて溝型分離法を用いてもよい。

【0044】また、前記実施の形態では、厚いゲート絶縁膜および薄いゲート絶縁膜は、酸化シリコン膜によって構成されたが、窒化シリコン膜と酸化シリコン膜との積層膜によって構成してもよい。

【0045】

【発明の効果】本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0046】本発明によれば、MISFETを構成する薄いゲート絶縁膜と他のMISFETを構成する厚いゲート絶縁膜との検査に用いる半導体ウエハの枚数を必要最小限に抑えて、不良を容易に検出することが可能となるので、検査費用の低減を図ることができる。したがって、信頼性の高い半導体集積回路装置を低いコストで提供することが可能となる。

【0047】また、本発明によれば、前記ゲート絶縁膜の製造過程における不良ポテンシャルを完全に網羅した

検査を行なうことができる。したがって、不良原因の判明と、それに対処するための処置を早期段階で行うことができるので、半導体装置の歩留りや信頼性の向上、そして開発期間や製造時間の短期化を推進させることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体チップの配置を示す図である。

【図2】本発明の一実施の形態である他の半導体チップの配置を示す図である。

【図3】(a)は本発明の一実施の形態である厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図であり、(b)は薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図4】(a)は本発明の一実施の形態である厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図であり、(b)は薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図5】(a)は本発明の一実施の形態である厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図であり、(b)は薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図6】(a)は本発明の一実施の形態である厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図であり、(b)は薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図7】(a)は本発明の一実施の形態である厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図であり、(b)は薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図8】従来の厚いゲート絶縁膜および薄いゲート絶縁膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図9】従来の厚いゲート絶縁膜および薄いゲート絶縁膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図10】従来の厚いゲート絶縁膜および薄いゲート絶縁膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図11】従来の厚いゲート絶縁膜および薄いゲート絶

縁膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図 1 2】従来の厚いゲート絶縁膜および薄いゲート絶縁膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図 1 3】従来の厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図 1 4】従来の厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図 1 5】従来の厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図 1 6】従来の厚いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図 1 7】従来の薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図 1 8】従来の薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

【図 1 9】従来の薄いゲート絶縁膜と同じ厚さの酸化シリコン膜の信頼度を評価するMOSキャパシタの製造方法を示す半導体基板の要部断面図である。

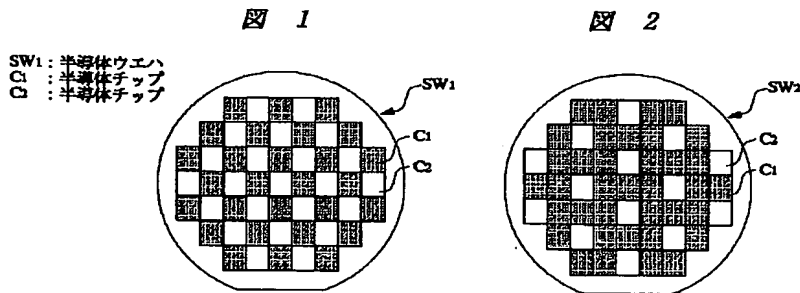
法を示す半導体基板の要部断面図である。

【符号の説明】

- 1 半導体基板
- 2 LOCOS酸化膜
- 3 第1の酸化シリコン膜
- 4 フォトリソグストパターン
- 5 a 第2の酸化シリコン膜
- 5 b 第2の酸化シリコン膜
- 6 電極
- 7 半導体基板
- 8 LOCOS酸化膜
- 9 第1の酸化シリコン膜
- 10 フォトリソグストパターン
- 11 a 第2の酸化シリコン膜
- 11 b 第2の酸化シリコン膜
- 12 a 電極
- 12 b 電極
- 13 a 電極
- 13 b 電極
- 14 フォトリソグスト
- C1 半導体チップ
- C2 半導体チップ
- SW1 半導体ウエハ
- SW2 半導体ウエハ

【図 1】

【図 2】

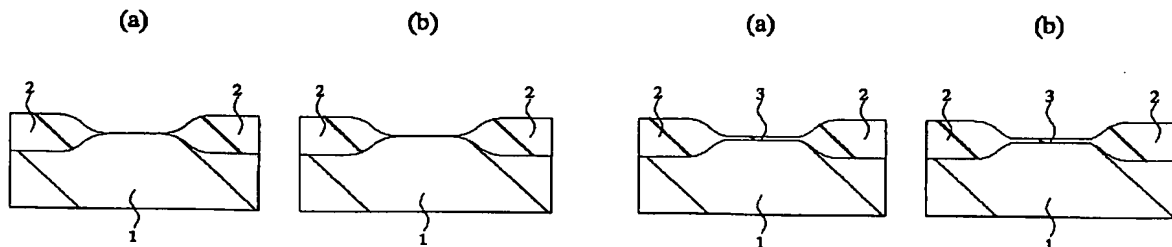


【図 3】

【図 4】

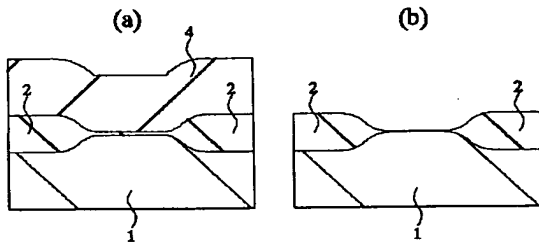
図 3

図 4



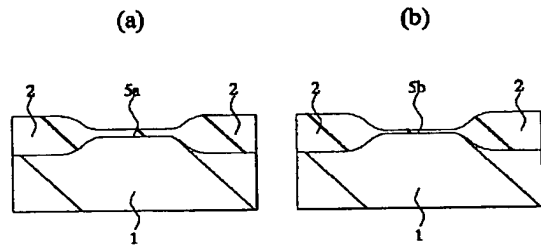
【図 5】

図 5



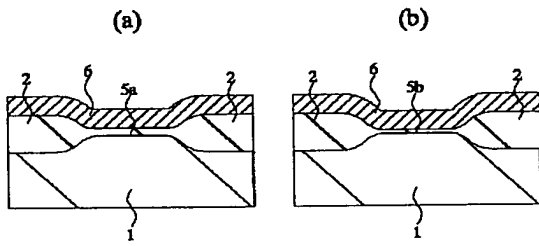
【図 6】

図 6



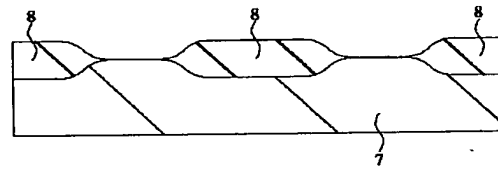
【図 7】

図 7



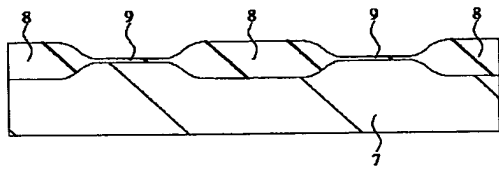
【図 8】

図 8



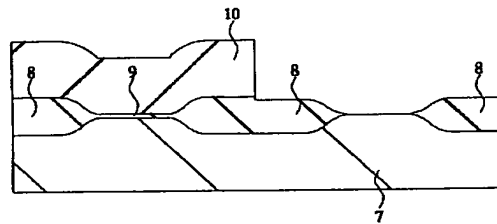
【図 9】

図 9



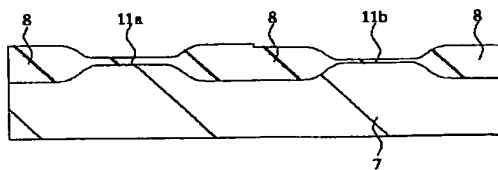
【図 10】

図 10



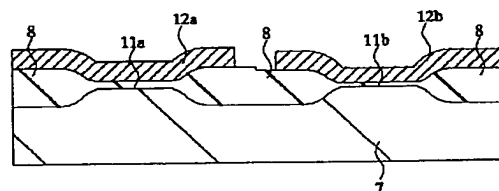
【図 11】

図 11



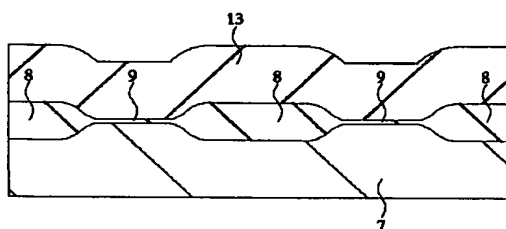
【図 12】

図 12



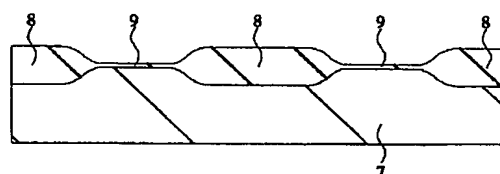
【図 13】

図 13



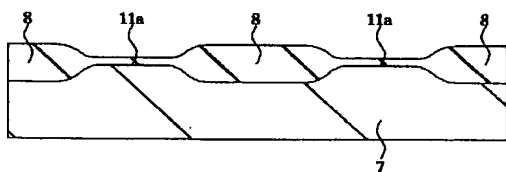
【図 14】

図 14



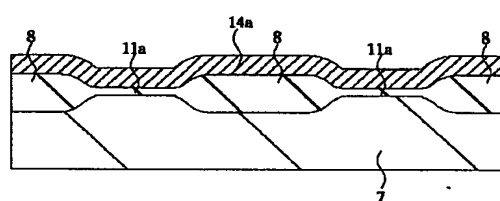
【図 15】

図 15



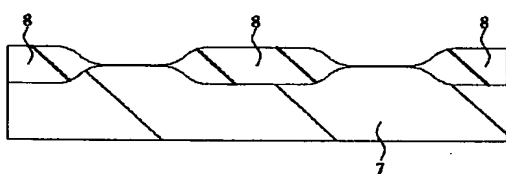
【図 16】

図 16



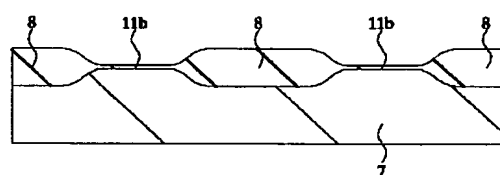
【図 17】

図 17



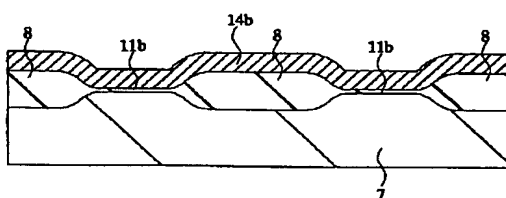
【図 18】

図 18



【図 19】

図 19



フロントページの続き

(72)発明者 須向 一行
東京都小平市上水本町五丁目20番 1 号 株
式会社日立製作所半導体事業部内

(72)発明者 高橋 健治
東京都小平市上水本町五丁目20番 1 号 株
式会社日立製作所半導体事業部内